# APÉNDICE

*En este apéndice se dará a conocer las bases teóricas de los distintos componentes que conforman el conversor de una manera simple y resumida. Se describirán las consideraciones tenidas en el diseño y las maneras de evaluar y describir el funcionamiento de cada componente por separado.*

*Se presentara información extra sobre el proceso de diseño, se ilustraran esquemáticos de las interconexiones internas del conversor, análisis de lógica combinacional, simulaciones de verificación realizadas e información extra utilizada durante el proceso de diseño y análisis.*

## APENDICE A: Introducción teórica.

### COMPARADOR

El comparador es un circuito que compara dos señales y nos da como resultado una señal binaria indicando la mayor de ellas. En el sentido intrínseco, una señal binaria puede tener tan solo dos valores determinados en cualquier instante de tiempo, pero esta consideración es ideal, y en realidad, donde se realiza la transición de un estado a otro, existe una región donde la señal binaria tendría varios valores, por lo cual, el comparador debe de pasar esta región de transición rápidamente.

Podemos caracterizan a los comparadores en 3 categorías, comparadores de *Lazo Abierto*, *Regenerativos* y en una combinación de ambos que resultan ser extremadamente veloces. Los *Comparadores de Lazo Abierto* son básicamente amplificadores operacionales sin compensación. Los *Comparadores Regenerativos* utilizan realimentación positiva, similar a un amplificador de censado o a los Flip-Flops.

**CARACTERIZACION DEL COMPARADOR**

En la se muestra el símbolo del comparador. Si un valor positivo es aplicado en la entrada *vp* hará que la salida del comparado llegue a un valor positivo, y si es aplicado a la entrada *vn* causara que la salida llegue a un valor negativo. Los niveles de excursión más altos y más bajos de la salida del comparador son definidos como *VOH* y *VOL*respectivamente.

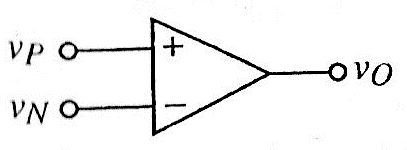


Figura ) Circuito simbólico del comparador.

***Características Estáticas***

La muestra la curva de transferencia de DC de los modelos de primer orden de un comparador realizable (no ideal). La diferencia entre este modelo y el anterior es la ganancia, la cual puede ser expresada como:

Donde representa la diferencia de los voltajes de entrada necesaria para saturar la salida en sus niveles limites superior e inferior, respectivamente. Esta carga de entrada () es llamada *resolución* del comparador. En la ganancia se define la mínima cantidad de carga necesaria (*resolución*) para generar el cambio de estado de la salida entre los dos niveles binarios.

|  |  |
| --- | --- |
|  |  |
| Figura ) Curva de transferencia con ganancia finita. | Figura ) Modelo del comparador con ganancia finita. |

La función de transferencia de la es modelada por el circuito en la .

Si la salida no cambia hasta que la diferencia de los voltajes de entrada supere el valor +VOS, entonces a esta diferencia la definimos como *voltaje de offset* ().

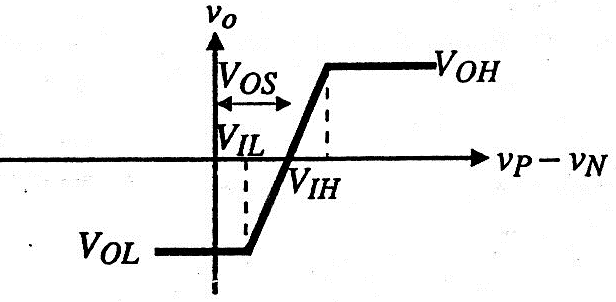


Figura ) Curva de transferencia del comparador con offset de entrada.

***Características Dinámicas***

Las características dinámicas de un comparador abarcan comportamientos para pequeña-señal y gran-señal. La característica que marca el tiempo de retardo (delay) entre la señal de entrada y la transición de la señal de salida del comparado es conocida como *tiempo de respuesta*. La , ilustra la respuesta del comparador a una entrada en función del tiempo. Esta diferencia de tiempos es llamada *tiempo de retardo de propagación “tp”* (propagation delay time) de un comparador., el cual usualmente varía en función de la amplitud de la señal de entrada. Una señal de entrada grande resulta en un retardo de propagación menor. Cuando se alcanza el límite para el cual un aumento de voltaje en la señal de entrada ya no afecta al tiempo de retardo de propagación, estamos en el modo de operación *slewing* o *slew-rate*.

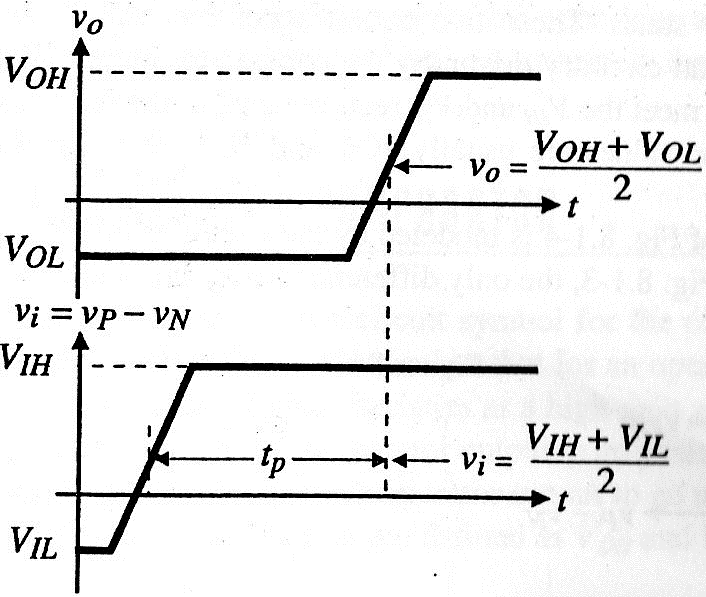


Figura ) Tiempo de propagación de un comparador no-inversor.

Las características dinámicas de pequeña señal del comparador están definidas por su respuesta en frecuencia. Un modelo simple del comportamiento asume que la ganancia diferencial de voltaje, *Av*, está dada por:

Donde es la ganancia en DC del comparador y es la frecuencia de *-3dB* del polo dominante.

Para una entrada de tipo escalón, la salida del comparador subirá (o caerá) con una respuesta exponencial de primer orden de *VOL*a *VOH* (*VOH* a *VOL*) como se muestra en la . Si *Vin* es más grande que *Vin(min),* la salida subirá o caerá veces más rápido. Cuando *Vin(min)* es aplicada al comparador, podemos escribir la ecuación:

Cuando se incrementa la tensión de entrada, entra en el modo de operación para gran-señal () y los límites del *slew-rate* van a estar limitados por la capacidad de carga y descarga de capacitores por parte de los comparadores.

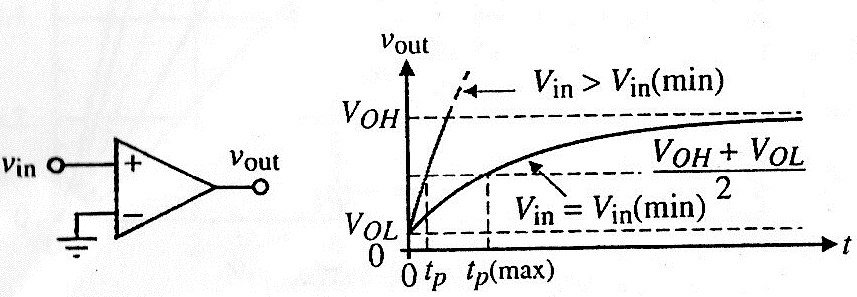


Figura ) Respuesta transitoria de pequeña señal del comparador.

### INVERSOR

El inversor CMOS es el bloque básico de diseño de circuitos digitales. En la se ilustra la compuerta inversora, donde se muestra que el inversor realiza una operación de A a Ã (invierte la entrada). Cuando la entrada del inversor es conectada a CERO, la salida es elevada a VDD a través del dispositivo PMOS de nombre M2 (y el transistor NMOS de nombre M1 es apagado). Cuando el terminal de entrada es conectado a VDD, la salida del dispositivo es reducida a CERO a través del transistor NMOS de nombre M1 (mientras que M2 es desconectado).

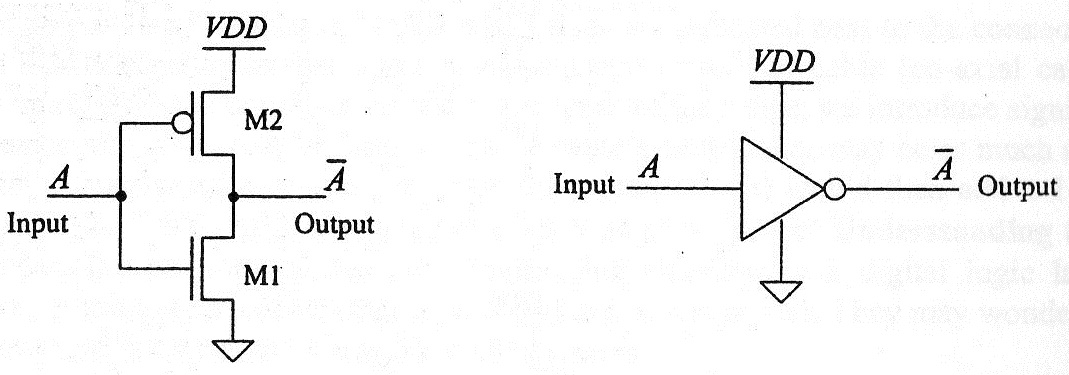


Figura ) Esquemático y Símbolo del Inversor

***Características DC de la compuerta inversora***

Considerando la curva de transferencia de la de la compuerta inversora, podemos observar que en la región 1 de la característica de transferencia, el voltaje de entrada es lo suficientemente bajo (típicamente menos que el voltaje de disparo VTHP de M1), entonces M1 está apagado y M2 encendido (*VSG>>VTHP*). A medida que Vin se incrementa, ambos transistores M1 y M2 se encienden (región 2 de la curva característica). Al seguir aumentando Vin produce que M2 se apague y M1 se encienda completamente, como se muestra en la región 3 de la curva.

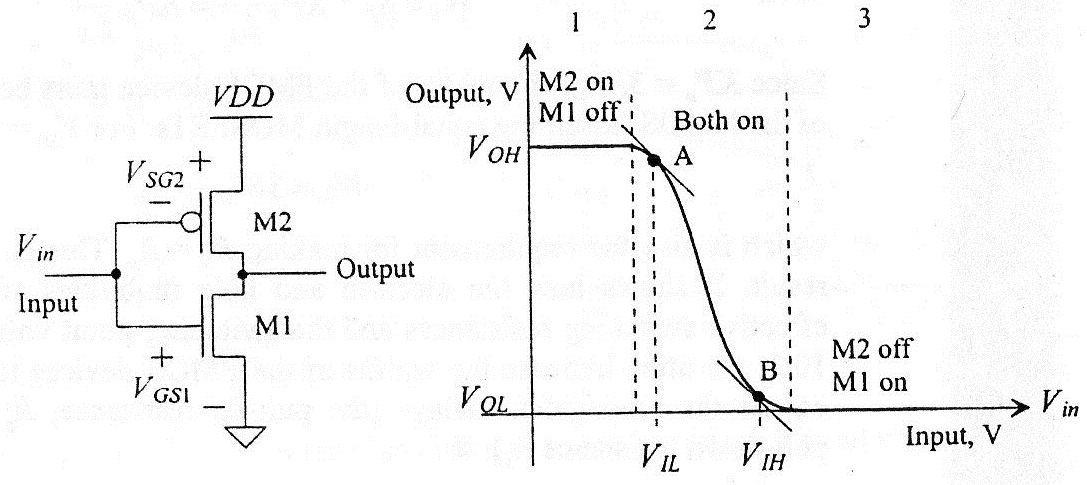


Figura ) Esquemático y CTV del inversor.

La máxima salida en nivel “alto” es identificado como VOH y la mínima salida en estado “bajo” lo identificamos con VOL. Los puntos A y B en la curva se encuentran definidos por la pendiente -1 de la curva de transferencia.

*Márgenes de ruido:*

El margen de ruido de un circuito o compuerta digital indica que tan bien se va a desempeñar la entrada de los transistores (GATE) bajo condiciones de ruido.

*Punto de transición:*

Considerando la función de transferencia de voltaje representada en la , el punto C corresponde al punto de la curva en el que los voltajes de entrada y salida son iguales. En este punto, el voltaje de entrada (o salida) es llamado *punto de cambio de voltaje, VSP*, y ambos MOSFETs en el inversor se encuentran en la región de saturación.

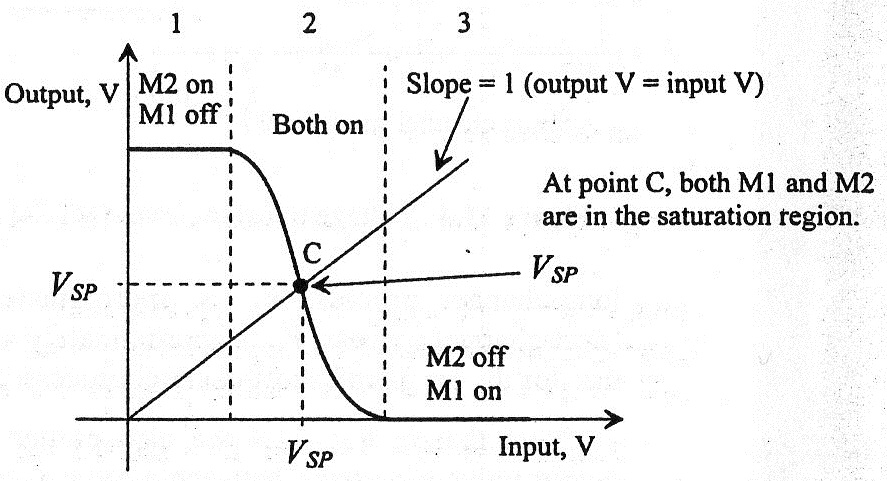


Figura ) Curva de transferencia de tensión VTC del inversor (VSP)

***Características de Transición de la compuerta inversora***

El comportamiento transitorio del inversor puede ser generalizado examinando las capacidades parasitas y las resistencias asociadas con el mismo ().

Y el tiempo de propagación intrínseco de la compuerta:

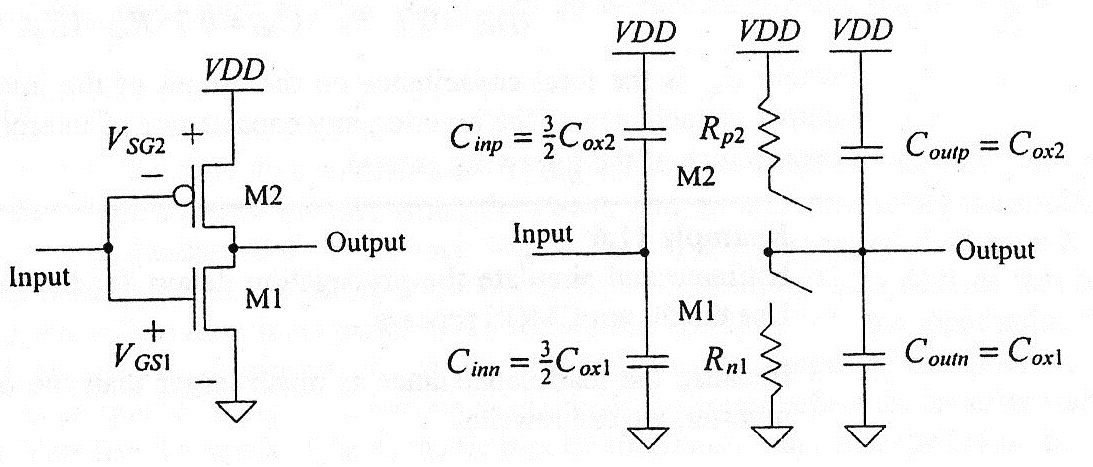


Figura ) Esquemático y modelo transitorio del inversor.

### COMPUERTAS

El esquemático de las compuertas NAND de 2 entradas se muestra en la . Cada entrada está conectada al *Gate* de un PMOS y de un NMOS.

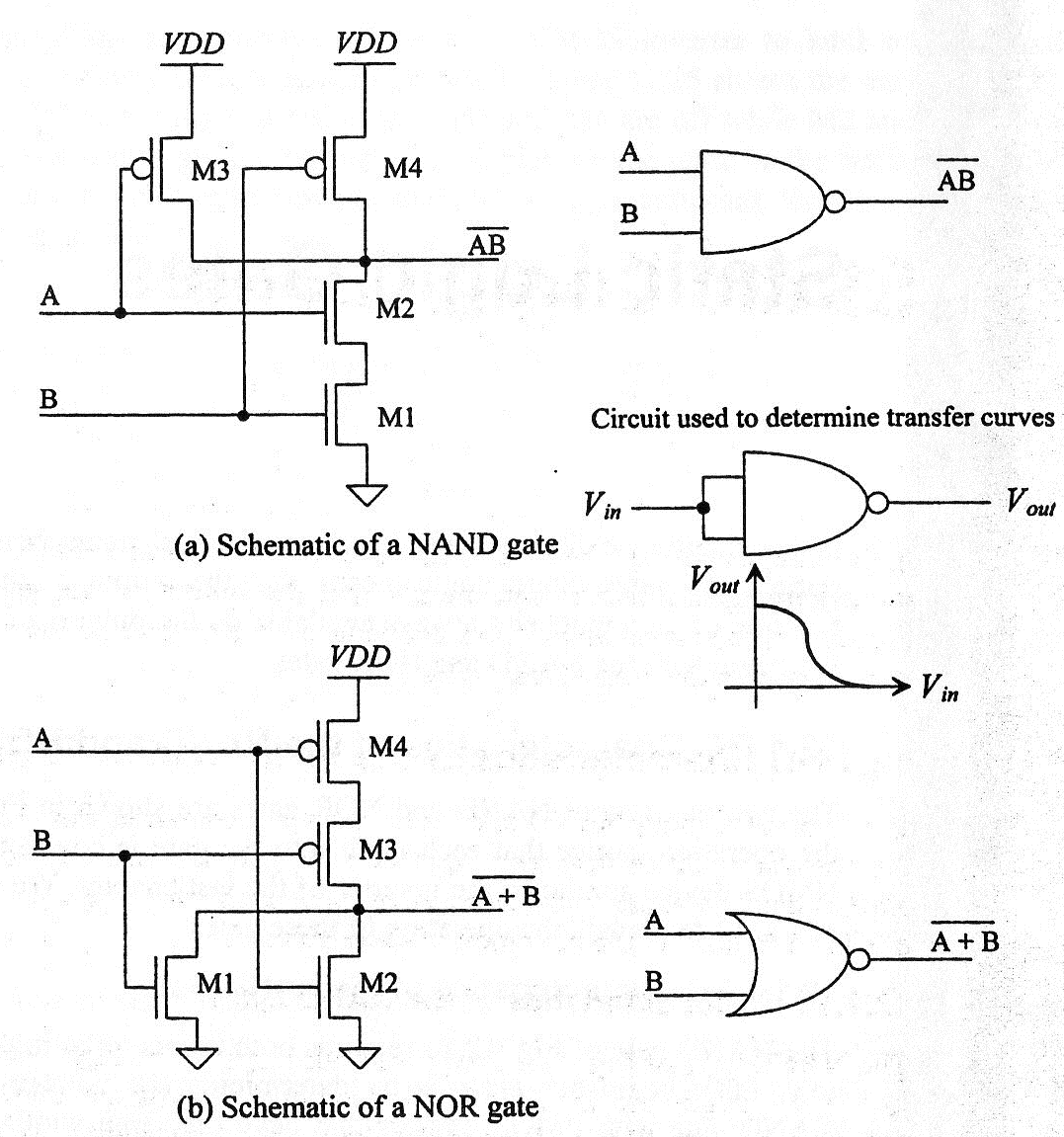


Figura ) Esquemático y símbolos lógicos de compuertas NAND.

***Características DC de la compuerta NAND***

Para que la salida de la compuerta NAND de la cambie el estado a nivel bajo (CERO lógico), es necesario que ambas entradas se encuentren en el estado lógico alto (UNO lógico).

La curva de transferencia de voltaje (VTC o *Voltaje-Transfer-Curve*)de la compuerta NAND () considerando que los dispositivos PMOS se encuentran dimensionados de la misma manera, con ancho *Wp* y largo *Lp* iguales, y que los dispositivos NMOS están también dimensionados en ancho *Wn* y largo *Ln* iguales. Ahora si ambas entradas están conectadas entre ellas, la compuerta NAND se comportaría como un Inversor.

Para el paralelo de los dos PMOS de la , podemos escribir:

Asumiendo que todos los PMOS están igualmente dimensionados. La transconductancia de estos MOSFETs también puede ser combinada y escribirla como:

Los dos NMOS conectados en serie (con sus *Gates* conectadas entre sí) lo podemos escribir como:

Y su transconductancia quedaría como:

Debido a la configuración del modelo, podemos escribir la transconductancia total de la compuerta NAND como:

Ahora podemos determinar el valor de cambio de estado para compuertas NAND de “n” entradas como:

Esta ecuación es derivada bajo la consideración que todas las entradas estén conectadas entre sí.

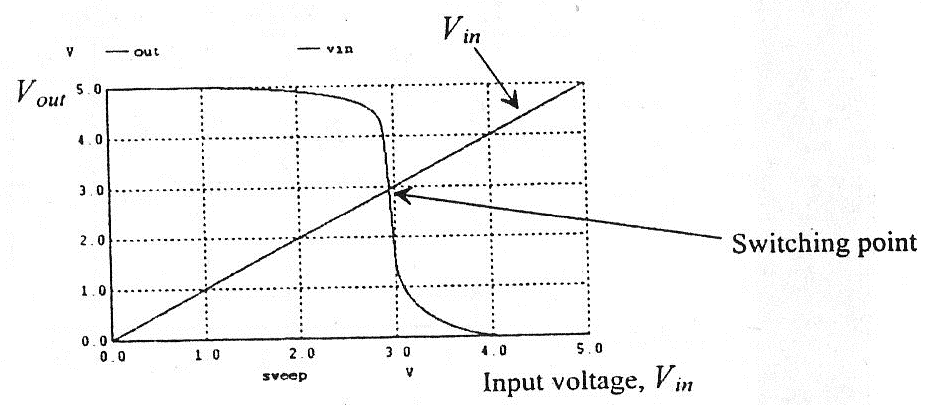


Figura ) VTC de una compuerta NAND de 3 entradas.

***Características de cambio de la compuerta NAND***

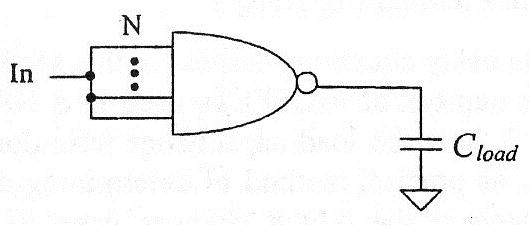


Figura ) Compuerta NAND de N entradas con una Capacitancia Cload como carga.

Considerando la compuerta NAND de N entradas de la con una carga capacitiva en la salida , el tiempo de transición de bajo a alto nivel quedaría:

Y el tiempo de propagación de nivel alto a bajo quedaría:

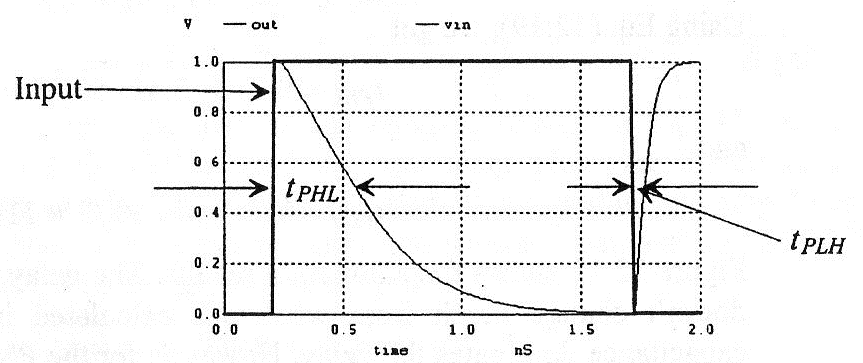


Figura ) Simulación de una compuerta NAND de 3 entradas con una capacitancia de carga de 50fF.

### CONVERSOR

Hay diversos algoritmos y formas de realizar un conversor analógico/digital ofreciendo diferentes ventajas y desventajas. La relación de compromiso se da entre la resolución de conversión, velocidad y economía (haciendo referencia a la complejidad del circuito, el área del mismo en el chip, la potencia de disipación, etc.), ofreciendo gran cantidad de opciones. Diferentes aplicaciones obviamente requieren diferentes parámetros.

Clasificando a los ADCs según su velocidad de conversión, tenemos 3 categorías:

1. *ADCs de Alta Velocidad*: la señal analógica es muestreada a la misma velocidad que la señal de reloj, o a la mitad de su frecuencia. A pesar de ello, existe una constante de tiempo de retardo (latency) entre el tiempo en que la muestra de la señal analógica entra al conversor y la señal digital generada aparece en la salida. Ejemplos son los conversores Flash, pipeline, de interpolación, etc. Tienen rangos de conversión de entre 0.5 MS/s hasta 10 GS/s, con resoluciones entre 6 a 12 bits.
2. *ADCs de Media Velocidad*: para N-bits de ADCs se requieren N periodos de reloj para cada muestra analógica. Esto hace que la conversión sea N veces más lenta que el reloj. Las implementaciones más típicas incluyen varios conversores seriales (conversores de sucesivas aproximaciones). Los rangos de conversión se encuentran entre 0.1 MS/s y 0.5 MS/s con unas resoluciones de 10 a 14 bits.
3. *ADCs de Baja Velocidad*: para resoluciones de N-bits se requieren aproximadamente 2N periodos de reloj para cada conversión de muestra analógica, lo que los hace de muy baja velocidad operativa. Son utilizados con señales constantes o de muy baja velocidad de variación. Ejemplos son circuitos integradores o de conteo, tal como conversores simple o doble rampa. Su resolución se encuentra en los rangos de 15 a 24 bits.

**PARAMETROS CARACTERISTICOS DEL CONVERSOR A/D**

El diagrama en bloque de un ADC se muestra en la . La entrada analógica (típicamente *vin*) es normalizada a un voltaje de referencia Vref y su nivel de voltaje es convertido en una señal digital de N-bits llamada *Bout*, formada por *b1, b2,….bn*. Bajo condiciones ideales, ignorando el ruido y las imperfecciones de los componentes, la relación entre estas tres señales es:

Donde es el error de cuantificación generado por el número finito de bits *N* usados en la conversión. Este error es inherente al proceso y puede ser reducido solamente aumentando el número de bits utilizados o reduciendo la tensión de referencia *Vref*.

|  |  |
| --- | --- |
|  |  |
| Figura ) Diagrama en bloques del conversor analógico-digital. | Figura ) Función de transferencia de un ADC para 2 bits. |

La función de transferencia salida-entrada del conversor se ilustra en la para N=2; el error de cuantización es la diferencia entre la curva solida en forma de escalera (la característica actual del dispositivo) y la línea punteada (que representa a la curva ideal para un número infinito de N). Definimos el Voltaje *Bit Menos Significativo (LSB o Least-Significant-Bit)* VLSB=Vref/2N. En este caso, VLSB=Vref/4 para N=2. Como se observa en la , la tensión no puede exceder la tensión VLSB/2 mientras permanezca en el rango entre 0 y (Vref - VLSB/2). Esto es llamado *Rango de conversión lineal (Lineal-Conversion-Range)* de un ADC, para valores de fuera de este rango, el conversor se satura y el valor absoluto de ya no es limitado por VLSB/2. La figura también muestra los voltajes de transición de estado (Vref/8, 3Vref/8 y 5Vref/8), los cuales determinan la tensión de la señal de entrada para los cuales *Bout* cambia su valor.

En la práctica, la conversión ideal que se ilustra en la no se puede llevar a cabo, los voltajes de umbral que son múltiplos pares de VLSB/2 ocurrirán a diferentes valores de , produciendo varios errores. Algunos de los errores más comunes se representan en las Figuras 4 y . En la se observa la función de transferencia característica con error de offset, el cual se manifiesta en un movimiento lateral de la curva. El error de ganancia es ilustrado en la , donde el umbral de voltaje permanece igualmente separado, pero esa separación ya no es más VLSB que sería la correcta.

|  |  |
| --- | --- |
|  |  |
| Figura ) Función de transferencia para un ADC de 2 bits con y sin error de offset. | Figura ) Función de transferencia para un ADC de 2 bits con y sin error de ganancia. |

Ambos errores de ganancia y offset son errores lineales, no distorsionan la señal de entrada, solo generan un escalamiento y desplazamiento de la misma. Una distorsión mucho más preocupante resulta de la separación desigual e inevitable de las tensiones de umbral, el cual si genera errores de no-linealidad. Dos errores de no-linealidad son representados en las y .



Figura ) Función de transferencia de un ADC de 2 bits con y sin errores de no-linealidad.

Los errores de *Bit-Perdido* o *Missing-Code* () se dan por las excesivas desviaciones acumulativas de las tensiones de umbral, generando así la perdida de una conversión, lo cual es inaceptable en la práctica.

|  |  |
| --- | --- |
|  |  |
| Figura ) Función de transferencia de un ADC de 2 bits con y sin errores de Missing-Code. | Figura ) Función de transferencia no lineal demostrando los errores de INL y el peor caso de diferencia de transición. |

Los errores de no-linealidad son generalmente cuantificados por los valores de sus *Error No-Linealidad Integral* (*Integral-Nonlinearity error o INL)* y *Error No-Linealidad Diferencial* (*Differential-Nonlinearity error o DNL).* Los INL son definidos por la mayor diferencia vertical (expresada en LSBs) entre los *puntos del centro de codificación* (*code center points)* de la característica actual de la curva y la línea que se conecta en forma recta con el punto final (*endpoint*), ilustrado en la . El DNL es definido como la mayor desviación entre la actual diferencia entre dos voltajes de umbral adyacentes y el valor de diferencia ideal (Vlsb), como se muestra en la Figura 8.[[1]](#footnote-1)

1. Roubik Gregorian , “I*ntroduction to CMOS OP-AMPS and Comparators”,* páginas 255-263. [↑](#footnote-ref-1)